

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-292626

(43) 公開日 平成9年(1997)11月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平8-102817

(22) 出願日 平成8年(1996)4月24日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 松島 康浩

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

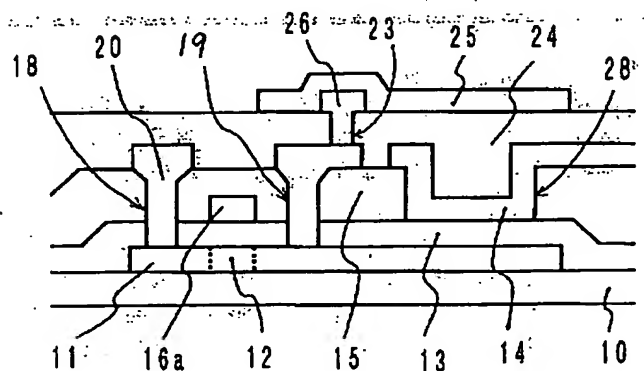
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】 付加容量共通配線に印加された信号遅延の問題が発生せず、高開口率の液晶パネルにより明るい表示を可能とした液晶表示装置及びその製造方法を提供する。

【解決手段】 基板上に、非単結晶シリコン薄膜11とゲート絶縁膜13とゲートバス配線及びゲート電極16aとが形成され、該ゲート電極16aの上部に、第1の層間絶縁膜15とソースバス配線20と第2の層間絶縁膜24と画素電極25とがそれぞれ形成された液晶表示装置において、付加容量上部電極14はソースバス配線と同一の材料により前記第1の層間絶縁膜15に設けられたコンタクトホール12の内壁を被覆するように形成されており、非単結晶シリコン薄膜による付加容量下部電極との間で付加容量を形成した。



(2)

【特許請求の範囲】

【請求項1】 基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上部に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成された液晶表示装置において、

前記ソースバス配線と同一材料により、前記第1の層間絶縁膜に設けられたコンタクトホールを被覆するように形成された付加容量上部電極と、

非単結晶シリコンにより形成された付加容量下部電極とを備え、

前記付加容量上部電極及び付加容量下部電極によって付加容量が形成されていることを特徴とする液晶表示装置。

【請求項2】 前記第1の層間絶縁膜が感光性有機材料によって形成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上部に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成された液晶表示装置の製造方法において、

付加容量上部電極を前記ソースバス配線と同一材料により、前記第1の層間絶縁膜に設けられたコンタクトホールを被覆するように形成する工程と、

付加容量下部電極を非単結晶シリコンにより形成する工程とを含むことを特徴とする液晶表示装置の製造方法。

【請求項4】 前記第1の層間絶縁膜を感光性を有する有機材料によって形成する工程を含むことを特徴とする請求項3記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタ(TFT)などのスイッチング素子を備えた液晶表示装置に関し、特に画素部分における構造に関するものである。

【0002】

【従来の技術】 図6は、基板上に周辺駆動回路を形成した従来の液晶表示装置の構成を示す回路図である。

【0003】 図6において、ガラス基板または石英基板31上には、ゲート駆動回路32、ソース駆動回路33、およびTFT(Thin Film Transistor)アレイ部34とが形成されている。このゲート駆動回路32は、シフトレジスタ32aおよびバッファ32bとから構成されている。また、ソース駆動回路33は、シフトレジスタ33a、バッファ33b、およびビデオライン38のサンプリングを行うアナログスイッチ39とから構成されている。

【0004】 TFTアレイ部34には、前記ゲート駆動回路32から延びる多数の平行するゲートバス配線11

6が配設されており、前記ソース駆動回路33からは多数のソースバス配線120が、該ゲートバス配線116に直交して配設されている。また、このゲートバス配線116に平行して、付加容量共通配線114が配設されている。

【0005】 さらに、上述したような2本のゲートバス配線116、116、ソースバス配線120、120、および付加容量共通配線114、114とに囲まれた矩形の領域には、TFT35、画素36、および付加容量37とが配設されている。このとき、このTFT35のゲート電極は、ゲートバス配線116に接続されており、また、該TFT35のソース電極は、ソースバス配線120に接続されている。

【0006】 そして、前記TFT35のドレインに接続された画素電極36と対向基板上に形成された対向電極との間に液晶が封入されて、画素が構成されている。また、このとき付加容量共通配線114は、対向電極と同じ電位の電極に接続されている。

【0007】 図4は、従来の液晶表示装置における画素1個分の構成を示した平面図であり、図5は、図4の液晶表示装置におけるB-B'線断面図を示している。

【0008】 図4および図5において、絶縁基板110上には、活性層となる多結晶シリコン薄膜111が40nm~80nmの厚さで形成されており、その上に、スパッタリングもしくはCVD法を用いて、ゲート絶縁膜113が80nm~150nmの厚さで形成されている。

【0009】 そして、前記多結晶シリコン薄膜111において、後に付加容量を形成する付加容量部(図4における斜線部分)に、 P^+ を $1 \times 10^{15} (cm^{-2})$ の濃度でイオン注入を行い、ゲート電極116aおよび付加容量上部電極114aを、多結晶シリコンを所定の形状にパターニングすることにより形成した。

【0010】 その後、この薄膜トランジスタの導電型を決定するために、前記ゲート電極116aの上方から、 P^+ を $1 \times 10^{15} (cm^{-2})$ の濃度でイオン注入を行い、該ゲート電極116aの下部にチャンネル112を形成した。

【0011】 さらに、 SiO_2 もしくは SiN_x を用いて、第1の層間絶縁膜115を基板全面に形成後、コンタクトホール118および119の形成を行い、ソースバス配線120および積み上げ電極121をAlなどの低抵抗の金属を用いて形成した。

【0012】 そして、前記第1の層間絶縁膜115と同様に、 SiO_2 もしくは SiN_x を用いて、第2の層間絶縁膜124を基板全面に形成後、コンタクトホール123の形成を行い、次に、該コンタクトホール123を覆い、TiWを用いてバリアメタル126を形成した。さらに該バリアメタル126を覆ってITOなどの透明導電膜からなる画素電極125の形成を行った。前記バ

(3)

リアメタル126を介して、前記画素電極125と前記積み上げ電極121とのオーミックコンタクトが取られている。

【0013】以上の構成による液晶表示装置では、できるだけ小さな面積で大きな付加容量が得られるよう、ゲートバス配線と同一の材料を用いて付加容量共通配線を形成し、直下部のゲート絶縁膜を誘電体とする構成としていた。すなわち、ゲート絶縁膜は厚みが薄く、比誘電率が大きいので、高開口率のまま大きな付加容量を得られる誘電体となる。

【0014】

【発明が解決しようとする課題】前記従来の液晶表示装置においては、高開口率を得ながら、大きな付加容量を得るために、ゲートバス配線と同一の材料を用いて付加容量共通配線を形成し、下部のゲート絶縁膜を誘電体とする構成としていた。しかしながら、従来の液晶表示装置において、付加容量共通配線をゲートバス配線と同じ材料で形成していたので、ゲートバス配線をソースバス配線よりも電気的に高抵抗の材料で形成した場合には、付加容量共通配線での信号の伝搬遅延の問題が発生して

いた。

【0015】本発明は、このような問題点を解決するためになされたものであって、その目的とするところは、付加容量共通配線での信号の伝搬遅延の問題が無く、ゲート絶縁膜を付加容量の誘電体として用いることができる高開口率の液晶表示装置を提供することにある。

【0016】

【課題を解決するための手段】本発明の液晶表示装置は、基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上部に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成された液晶表示装置において、前記ソースバス配線と同一材料により、前記第1の層間絶縁膜に設けられたコンタクトホールを被覆するように形成された付加容量上部電極と、非単結晶シリコンにより形成された付加容量下部電極とを備え、前記付加容量上部電極及び付加容量下部電極によって付加容量が形成されており、そのことにより上記目的が達成される。

【0017】また、前記第1の層間絶縁膜が有機材料によって形成されることが好ましい。

【0018】また、前記有機材料が、感光性を有することが好ましい。

【0019】本発明の液晶表示装置の製造方法は、基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上部に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成された液晶表示装置の製造方法において、付加容量上部電極を前記ソースバス配線と同一材料により、前記第1の層間絶縁膜に設けられたコン

タクトホールを被覆するように形成する工程と、付加容量下部電極を非単結晶シリコンにより形成する工程とを含むことを特徴とすることにより、上記目的が達成される。

【0020】好ましくは、前記第1の層間絶縁膜を感光性を有する有機材料によって形成する工程を含む。

【0021】以下、その作用について説明する。

【0022】本発明の液晶表示装置は、基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上部に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成された液晶表示装置において、前記ソースバス配線と同一材料により、前記第1の層間絶縁膜に設けられたコンタクトホールを被覆するように形成された付加容量上部電極と、非単結晶シリコンにより形成された付加容量下部電極とを備え、前記付加容量上部電極及び付加容量下部電極によって付加容量が形成されることにより、付加容量上部電極は低抵抗であり、付加容量上部電極に発生する信号の伝搬遅延の問題が生じない。また、付加容量の誘電体としてゲート絶縁膜を使用するので、遮光膜である付加容量部の面積を縮小することができる。

【0023】また、前記第1の層間絶縁膜が有機材料によって形成されることにより、ソースバス配線の下部領域が十分に平坦化されるので、薄膜トランジスタやゲートバス配線の段差によるソースバス配線の断線を防止することができる。

【0024】また、前記有機材料が、感光性を有することにより、第1の層間絶縁膜に形成するコンタクトホールが露光及び現像工程のみにより形成可能となり、製造プロセスを簡単にすることができる。

【0025】本発明の液晶表示装置の製造方法は、付加容量上部電極を前記ソースバス配線と同一材料により、前記第1の層間絶縁膜に設けられたコンタクトホールを被覆するように形成する工程と、付加容量下部電極を非単結晶シリコンにより形成する工程とを含むことを特徴とすることにより、従来の液晶表示装置の製造方法に新たな装置や工程を追加することなく、付加容量共通電極における信号の伝搬遅延の問題を解消することができる。また、付加容量の誘電体としてゲート絶縁膜を使用しているので、遮光膜である付加容量部の面積を縮小することが可能となり、液晶パネルの開口率を向上することができる。

【0026】好ましくは、前記第1の層間絶縁膜を感光性を有する有機材料によって形成する工程を含むことにより、第1の層間絶縁膜におけるコンタクトホールの形成を、エッチング不要の光学的手法を用い、簡単な製造プロセスにより行うことが可能となる。この結果、エッチングによるゲート絶縁膜の損傷の問題が生じない。

【0027】

(4)

5

【発明の実施の形態】以下、本発明の実施の形態について説明する。

【0028】図1は、本発明の実施の形態の液晶表示装置における画素1個分の構成を示した平面図であり、図2は、図1の液晶表示装置におけるA-A'線断面図を示している。

【0029】以下に、本実施の形態による液晶表示装置の構成を説明する。

【0030】図1および図2において、絶縁基板10上に、多結晶シリコン薄膜11が設けられ、該多結晶シリコン薄膜11の上には、ゲート絶縁膜13が設けられている。該ゲート絶縁膜13上には、Alもしくは多結晶シリコンからなるゲート電極16aが設けられている。該ゲート電極16aの下部にはノンドープのチャンネル部12が設けられ、該チャンネル部12以外の領域は高濃度の不純物領域となっている。さらに、これらを被覆して第1の層間絶縁膜15が設けられており、該第1の層間絶縁膜に形成されたコンタクトホール18、19を介してソースバス配線20及び積み上げ電極21がそれぞれ、前記多結晶シリコン薄膜11と電気的に接続されている。また、コンタクトホール28の内壁には付加容量上部電極14が形成され、さらに、これらの上には第2の層間絶縁膜24が設けられ、該第2の層間絶縁膜24に設けられたコンタクトホール23を介して、画素電極25が前記積み上げ電極21と接続されている。積み上げ電極21と画素電極25とのオーミックコンタクトをとるためにTiW等を用いてバリアメタル26を形成してもよい。

【0031】以下に、上記構成の液晶表示装置の製造方法について説明を行う。

【0032】図3(a)〜(g)は、図2の液晶表示装置の製造方法を示すフロー図である。

【0033】図3(a)において、まず、ガラスまたは石英などからなる絶縁基板10上に、活性層となる多結晶シリコン薄膜11を40nm〜80nmの厚さで形成し、該多結晶シリコン薄膜11の上部に、スパッタリングもしくはCVD法を用いて、SiO₂もしくはSiN_xからなるゲート絶縁膜13を80nmの厚さで形成した。

【0034】さらに、図3(b)に示すように、前記ゲート絶縁膜13上に、Alもしくは多結晶シリコンからなるゲート電極16aを形成した。その後、この薄膜トランジスタの導電型を決定するために、前記ゲート電極16aの上方から、該ゲート電極16aをマスクとして、P⁺を 1×10^{15} (cm⁻²)の濃度でイオン注入を行って、活性層の該ゲート電極16aの下部にノンドープのチャンネル部12を形成し、該チャンネル部12以外の領域に高濃度の不純物領域を形成した。付加容量上部電極をゲート電極16aと同材料で形成した場合には、チャンネル部12形成と同時に付加容量下部電極領

6

域のイオン注入はできない。しかし、本実施の形態1においてはチャンネル部12形成と同時に付加容量下部電極の低抵抗化が可能となる。また、このとき、TFTの活性層において、前記チャンネル部12近傍に低濃度不純物領域もしくはノンドープ領域を設けて、TFTのオフ時にリーク電流を少なくするような構造としてもよい。この後、このゲート絶縁膜13において、後にコンタクトホール18、19が形成されるコンタクト領域58、59の形成を行った。

【0035】次に、図3(c)に示すように、前記基板全面に、感光性のアクリル樹脂を用いて、スピンコート法により2.5μmの膜厚で第1の層間絶縁膜15を形成した。ここで、前記第1の層間絶縁膜15を2μm以上積層したことにより、該第1の層間絶縁膜15の下部領域の平坦化を行うことができた。

【0036】この後、図3(d)に示すように、露光および現像を行って、前記第1の層間絶縁膜15上においてコンタクトホール18、19の形成を行った。さらに、本発明においては、付加容量形成部となるコンタクトホール28を形成した。前記第1の層間絶縁膜15として感光性のものを用いたことにより、エッチングを行わず、露光および現像工程だけで前記コンタクトホール18、19、28の形成が可能となり、製造プロセスを単純にすることができた。エッチングを行わないので、下部のゲート絶縁膜が損傷を受けることがなく、信頼性を向上することができる。

【0037】次に、図3(e)に示すように、ソースバス配線20および積み上げ電極21および付加容量上部電極14をAlなどの低抵抗の金属を用いて形成した。

該付加容量上部電極14は、コンタクトホール28の内壁を被覆するように形成された。このとき、前記ソースバス配線20の下部領域は、前記第1の層間絶縁膜15により平坦化されているので、前記図1に示したような、該ソースバス配線20とゲートバス配線16との交差部分においても、該ソースバス配線20が該ゲートバス配線16の段差により断線することは無くなる。ここで、前記第1の層間絶縁膜15として用いた感光性有機樹脂材料は、比誘電率が無機材料に比べて小さく、また、膜厚を大きくすることもできるので、前記ソースバス配線20と前記ゲートバス配線16との交差部分での容量は無視することができ、バス配線に発生する信号の伝搬遅延を防止することができる。また、前記付加容量上部電極14及び付加容量共通配線に低抵抗のAlを使用しているため、付加容量配線に発生する信号の伝搬遅延の問題は生じない。さらに、付加容量が、前記付加容量上部電極14直下の前記ゲート絶縁膜13に形成されるので、開口率を低下させることもない。

【0038】次に、図3(f)に示すように、第2の層間絶縁膜24を前記第1の層間絶縁膜15と同様に感光性アクリル樹脂を用いて形成した。さらに、図3(g)

(5)

7

に示すように、前記第2の層間絶縁膜24の露光及び現像を行い、コンタクトホール23を形成し、透明導電膜により画素電極25をITOを用いて形成した。前記積み上げ電極21及び画素電極25とのコンタクトのオーミック性が問題となる場合には前記コンタクトホール23にバリアメタル26を形成してもよい。

【0039】以上のように、本発明の液晶表示装置およびその製造方法においては、付加容量共通配線での信号の伝搬遅延の問題が生じず、ゲート絶縁膜を付加容量の誘電体として用いることにより高い開口率を実現することができる。

【0040】

【発明の効果】本発明の液晶表示装置によれば、基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成された液晶表示装置において、前記ソースバス配線と同一材料により、前記第1の層間絶縁膜に設けられたコンタクトホールを被覆するように形成された付加容量上部電極と、非単結晶シリコンにより形成された付加容量下部電極とを備え、前記付加容量上部電極及び付加容量下部電極によって付加容量が形成されることにより、付加容量上部電極は低抵抗であり、付加容量上部電極に発生する信号の伝搬遅延の問題が生じない。また、付加容量の誘電体としてゲート絶縁膜を使用するので、光を遮断する付加容量部の面積を拡大する、すなわち、開口率を低下させることはない。

【0041】また、前記第1の層間絶縁膜が有機材料によって形成されることにより、ソースバス配線の下部領域が十分に平坦化されるので、薄膜トランジスタやゲートバス配線の段差によるソースバス配線の断線を防止することができる。これにより歩留まりの向上を望むことができる。

【0042】また、前記有機材料が、感光性を有することにより、第1の層間絶縁膜に形成するコンタクトホールが露光及び現像工程のみにより形成可能となり、製造プロセスを簡略化することができる。

【0043】本発明の液晶表示装置の製造方法は、付加容量上部電極を前記ソースバス配線と同一材料により、前記第1の層間絶縁膜に設けられたコンタクトホールを被覆するように形成する工程と、付加容量下部電極を非単結晶シリコンにより形成する工程とを含むことを特徴とすることにより、従来の液晶表示装置の製造方法に新たな装置や工程を追加することなく、付加容量共通電極における信号の伝搬遅延の問題を解消することができる。また、付加容量の誘電体としてゲート絶縁膜を使用しているので、遮光膜である付加容量部の面積を縮小することが可能となり、液晶パネルの開口率を向上することができる。この結果、優れた表示品位を有する液晶表示装置を提供することが可能となる。

8

【0044】好ましくは、前記第1の層間絶縁膜を感光性を有する有機材料によって形成する工程を含むことにより、第1の層間絶縁膜におけるコンタクトホールの形成を、エッチング不要の光学的手法により行うことが可能となる。この結果、エッチングによるゲート絶縁膜の損傷の問題が生じないので、信頼性を向上することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態の液晶表示装置における画素1個分の構成を示した平面図である。

【図2】図1の液晶表示装置におけるA-A'線断面図である。

【図3】(a)～(g)は、図2の液晶表示装置の製造方法を示すフロー図である。

【図4】従来の液晶表示装置における画素1個分の構成を示した平面図である。

【図5】図4の液晶表示装置におけるB-B'線断面図を示している。

【図6】基板上に周辺駆動回路を形成した従来の液晶表示装置の構成を示す回路図である。

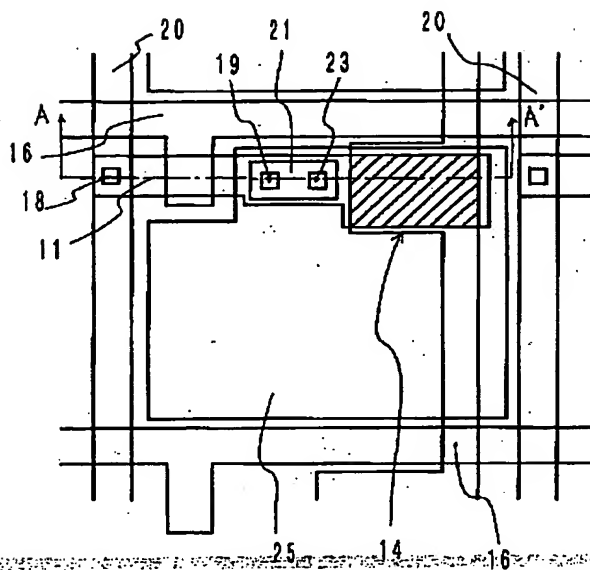
【符号の説明】

10	絶縁基板
11	多結晶シリコン薄膜
12	チャンネル部
13	ゲート絶縁膜
14	付加容量上部電極
15	第1の層間絶縁膜
16	ゲートバス配線
16a	ゲート電極
18	コンタクトホール
19	コンタクトホール
20	ソースバス配線
21	積み上げ電極
23	コンタクトホール
24	第2の層間絶縁膜
25	画素電極
26	バリアメタル
28	コンタクトホール
31	基板
32	ゲート駆動回路
32a	シフトレジスタ
32b	パッファ
33	ソース駆動回路
33a	シフトレジスタ
33b	パッファ
34	TFTアレイ部
35	TFT
36	画素
37	付加容量
38	ビデオライン

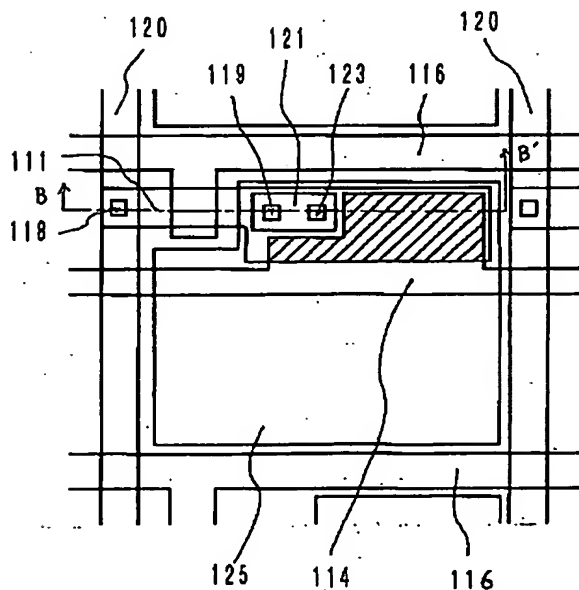
(6)

- 9
- 39 アナログスイッチ
- 58 コンダクト領域
- 59 コンタクト領域
- 110 絶縁基板
- 111 多結晶シリコン薄膜
- 112 チャンネル
- 113 ゲート絶縁膜
- 114 付加容量共通配線
- 114a 付加容量上部電極
- 115 第1の層間絶縁膜

【図1】

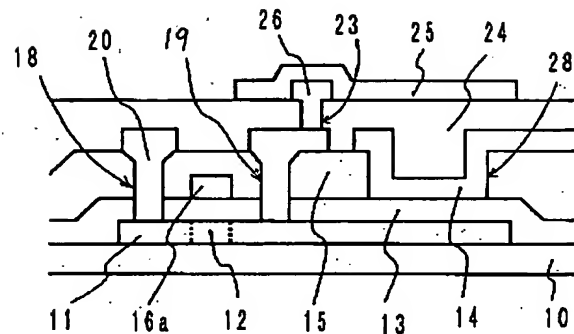


【図4】

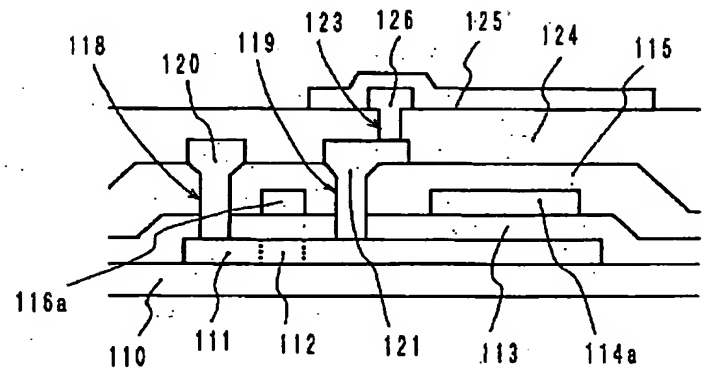


- 10
- 116 ゲートバス配線
- 116a ゲート電極
- 118 コンタクトホール
- 119 コンタクトホール
- 120 ソースバス配線
- 121 積み上げ電極
- 123 コンタクトホール
- 124 第2の層間絶縁膜
- 125 画素電極
- 10 126 バリアメタル

【図2】

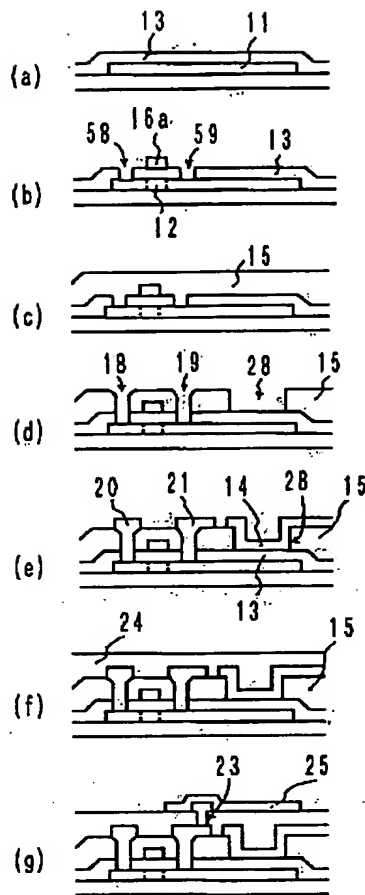


【図5】

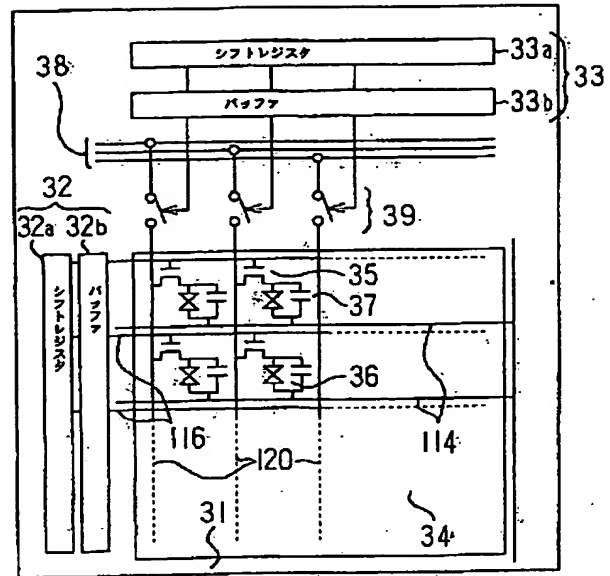


(7)

【図3】



【図6】



【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第6部門第2区分
【発行日】平成13年2月9日(2001.2.9)

【公開番号】特開平9-292626
【公開日】平成9年11月11日(1997.11.11)
【年通号数】公開特許公報9-2927
【出願番号】特願平8-102817
【国際特許分類第7版】
G02F 1/136 500
【FI】
G02F 1/136 500

【手続補正書】
【提出日】平成11年7月21日(1999.7.21)
【手続補正1】
【補正対象書類名】明細書
【補正対象項目名】発明の名称
【補正方法】変更
【補正内容】
【発明の名称】 スイッチング素子基板及びその製造方法

【手続補正2】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正内容】
【特許請求の範囲】
【請求項1】 基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成されたスイッチング素子基板において、
前記ソースバス配線と同一材料により、前記第1の層間絶縁膜に設けられたコンタクトホールを被覆するように形成された付加容量上部電極と、
非単結晶シリコンにより形成された付加容量下部電極とを備え、
前記付加容量上部電極及び付加容量下部電極によって付加容量が形成されていることを特徴とするスイッチング素子基板。

【請求項2】 前記第1の層間絶縁膜が感光性有機材料によって形成されていることを特徴とする請求項1記載のスイッチング素子基板。

【請求項3】 基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成されたスイッチング素子基板において、

前記第1の層間絶縁膜または第2の層間絶縁膜は、有機材料によって形成されるとともに、前記ソースバス配線と平行かつ同一材料により形成された付加容量共通配線を備え、

前記付加容量共通配線によって付加容量が形成されていることを特徴とするスイッチング素子基板。

【請求項4】 前記付加容量は、前記ゲート絶縁膜を用いて形成されていることを特徴とする請求項3記載のスイッチング素子基板。

【請求項5】 基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成されたスイッチング素子基板の製造方法において、

付加容量上部電極を前記ソースバス配線と同一材料により、前記第1の層間絶縁膜に設けられたコンタクトホールを被覆するように形成する工程と、付加容量下部電極を非単結晶シリコンにより形成する工程とを含むことを特徴とするスイッチング素子基板の製造方法。

【請求項6】 前記第1の層間絶縁膜を感光性を有する有機材料によって形成する工程を含むことを特徴とする請求項5記載のスイッチング素子基板の製造方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ(TFT)などのスイッチング素子を備えたスイッチング素子基板に関し、特に画素部分における構造に関するものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

(2)

【補正内容】

【0015】本発明は、このような問題点を解決するためになされたものであって、その目的とするところは、付加容量共通配線での信号の伝搬遅延の問題が無く、ゲート絶縁膜を付加容量の誘電体として用いることができるスイッチング素子基板を提供することにある。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】

【課題を解決するための手段】本発明のスイッチング素子基板は、基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成されたスイッチング素子基板において、前記ソースバス配線と同一材料により、前記第1の層間絶縁膜に設けられたコンタクトホールを被覆するように形成された付加容量上部電極と、非単結晶シリコンにより形成された付加容量下部電極とを備え、前記付加容量上部電極及び付加容量下部電極によって付加容量が形成されており、そのことにより、上記目的が達成される。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】また、前記第1の層間絶縁膜が有機材料によって形成されることが好ましい。また、前記有機材料が感光性を有することが好ましい。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】本発明のスイッチング素子基板は、基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成されたスイッチング素子基板において、前記第1の層間絶縁膜または第2の層間絶縁膜は、有機材料によって形成されるとともに、前記ソースバス配線と平行かつ同一材料により形成された付加容量共通配線を備え、前記付加容量共通配線によって付加容量が形成されており、そのことにより上記目的が達成される。また、前記付加容量は前記ゲート絶縁膜を用いて形成されることが好ましい。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】本発明のスイッチング素子基板の製造方法は、基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成されたスイッチング素子基板の製造方法において、付加容量上部電極を前記ソースバス配線と同一材料により、前記第1の層間絶縁膜に設けられたコンタクトホールを被覆するように形成する工程と、付加容量下部電極を非単結晶シリコンにより形成する工程とを含むことを特徴とすることにより、上記目的が達成される。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】本発明のスイッチング素子基板は、基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成されたスイッチング素子基板において、前記ソースバス配線と同一材料により、前記第1の層間絶縁膜に設けられたコンタクトホールを被覆するように形成された付加容量上部電極と、非単結晶シリコンにより形成された付加容量下部電極とを備え、前記付加容量上部電極及び付加容量下部電極によって付加容量が形成されることがにより、付加容量上部電極は低抵抗であり、付加容量上部電極に発生する信号の伝搬遅延の問題が生じない。また、付加容量の誘電体としてゲート絶縁膜を使用するので、遮光膜である付加容量部の面積を縮小することができる。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】また、前記第1の層間絶縁膜が有機材料によって形成されることがにより、ソースバス配線の下部領域が十分に平坦化されるので、薄膜トランジスタやゲートバス配線の段差によるソースバス配線の断線を防止することができる。また、前記有機材料が、感光性を有することにより、第1の層間絶縁膜に形成するコンタクトホールが露光及び現像工程のみにより形成可能となり、製造プロセスを簡単にすることができる。

【手続補正11】

【補正対象書類名】明細書

(3)

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】さらに、第1の層間絶縁膜または第2の層間絶縁膜が有機材料によって形成されることにより、ソースバス配線に対する容量を低減することができ、また、ソースバス配線と平行かつ同一材料によって付加容量共通配線が形成されることにより、この付加容量共通配線によってソースバス配線の容量が増加することもない。そして、ゲート絶縁膜を用いて付加容量が形成されることにより、小さな面積で効率よく付加容量を形成することができるため、付加容量による開口率の低下を防止することができる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】本発明のスイッチング素子基板の製造方法は、基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上部に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成されたスイッチング素子基板の製造方法において、付加容量上部電極を前記ソースバス配線と同一材料により、前記第1の層間絶縁膜に設けられたコンタクトホールを被覆するように形成する工程と、付加容量下部電極を非単結晶シリコンにより形成する工程とを含むことを特徴とすることにより、従来のスイッチング素子基板の製造方法に、新たな装置や工程を追加することなく、付加容量共通配線における信号の伝搬遅延の問題を解消することができる。また、付加容量の誘電体としてゲート絶縁膜を使用しているので、遮光膜である付加容量部の面積を縮小することが可能となる。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】図1は、本発明の実施の形態のスイッチング素子基板を用いた液晶表示装置における画素1個分の構成を示した平面図であり、図2は、図1の液晶表示装置におけるA-A'線断面図を示している。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】以上のように、本発明のスイッチング素子基板およびその製造方法においては、付加容量共通配線での信号の伝搬遅延の問題が生じず、ゲート絶縁膜を付加容量の誘電体として用いることにより、液晶表示装置に適用した際には、高い開口率を実現することができる。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正内容】

【0040】

【発明の効果】本発明のスイッチング素子基板によれば、基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上部に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成されたスイッチング素子基板において、前記ソースバス配線と同一材料により、前記第1の層間絶縁膜に設けられたコンタクトホールを被覆するように形成された付加容量上部電極と、非単結晶シリコンにより形成された付加容量下部電極とを備え、前記付加容量上部電極及び付加容量下部電極によって付加容量が形成されることにより、付加容量上部電極は低抵抗であり、付加容量上部電極に発生する信号の伝搬遅延の問題が生じない。また、付加容量の誘電体としてゲート絶縁膜を使用するので、光を遮断する付加容量部の面積を拡大する、すなわち、開口率を低下させることはない。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】本発明のスイッチング素子基板の製造方法は、付加容量上部電極を前記ソースバス配線と同一材料により、前記第1の層間絶縁膜に設けられたコンタクトホールを被覆するように形成する工程と、付加容量下部電極を非単結晶シリコンにより形成する工程とを含むことを特徴とすることにより、従来のスイッチング素子基板の製造方法に新たな装置や工程を追加することなく、付加容量共通電極における信号の伝搬遅延の問題を解消することができる。また、付加容量の誘電体としてゲート絶縁膜を使用しているので、遮光膜である付加容量部の面積を縮小することが可能となり、液晶パネルに適用すれば開口率を向上することができ、この結果、優れた表示品位を有する液晶表示装置を実現することが可能となる。

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-292626

(43)Date of publication of application : 11.11.1997

(51)Int.Cl.

G02F 1/136

(21)Application number : 08-102817

(71)Applicant : SHARP CORP

(22)Date of filing : 24.04.1996

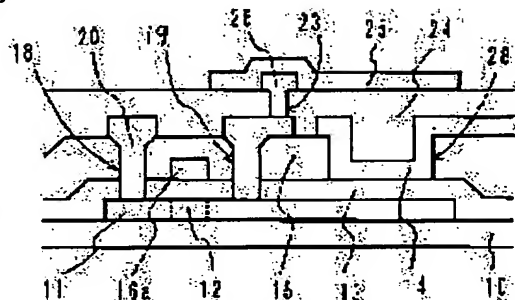
(72)Inventor : MATSUSHIMA YASUHIRO

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To attain bright display by a liquid crystal panel with high numerical aperture without generating signal delay impressed on an additional capacitance common wiring.

SOLUTION: In this device, a non-single crystal silicon thin film 11, a gate insulating film 13, a gate bus wiring and a gate electrode 16a are formed on a substrate and a first interlayer insulating film 15, a source bus wiring 20, a second interlayer insulating film 24 and a pixel electrode 25 are respectively formed above the gate electrode 16a. An additional capacitance upper electrode 14 is formed of the same material as the source bus wiring 20 as to cover an inwall of a contact hole provided in the first interlayer insulating film 15 and an additional capacitance is formed between an additional capacitance lower electrode made of the non-single crystal silicon thin film and the additional capacitance upper electrode 14.



LEGAL STATUS

[Date of request for examination]

21.07.1999

[Date of sending the examiner's decision of rejection]

02.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3490216

[Date of registration]

07.11.2003

[Number of appeal against examiner's decision of rejection]

2001-19002

[Date of requesting appeal against examiner's decision of rejection]

24.10.2001

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] On a substrate, a non-single-crystal-silicon thin film, gate dielectric film, and gate bus wiring are formed. In the liquid crystal display with which the 1st interlayer insulation film, source bus wiring, 2nd interlayer insulation film, and pixel electrode were formed in the upper part of this gate bus wiring, respectively The addition capacity up electrode formed so that the contact hole established in said 1st interlayer insulation film might be covered with the same ingredient as said source bus wiring, The liquid crystal display characterized by having the addition capacity lower electrode formed with non-single crystal silicon, and forming addition capacity with said addition capacity up electrode and the addition capacity lower electrode.

[Claim 2] The liquid crystal display according to claim 1 characterized by forming said 1st interlayer insulation film with the photosensitive organic material.

[Claim 3] On a substrate, a non-single-crystal-silicon thin film, gate dielectric film, and gate bus wiring are formed. In the manufacture approach of a liquid crystal display that the 1st interlayer insulation film, source bus wiring, 2nd interlayer insulation film, and pixel electrode were formed in the upper part of this gate bus wiring, respectively The manufacture approach of the liquid crystal display characterized by including the process formed so that the contact hole in which the addition capacity up electrode was prepared by said 1st interlayer insulation film with the same ingredient as said source bus wiring may be covered, and the process which forms an addition capacity lower electrode with non-single crystal silicon.

[Claim 4] The manufacture approach of the liquid crystal display according to claim 3 characterized by including the process which forms said 1st interlayer insulation film with the organic material which has photosensitivity.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the structure especially in a pixel part about the liquid crystal display equipped with switching elements, such as a thin film transistor (TFT).

[0002]

[Description of the Prior Art] Drawing 6 is the circuit diagram showing the configuration of the conventional liquid crystal display in which the circumference drive circuit was formed on the substrate.

[0003] In drawing 6, the gate drive circuit 32, the source drive circuit 33, and the TFT (Thin Film Transistor) array section 34 are formed on the glass substrate or the quartz substrate 31. This gate drive circuit 32 consists of shift register 32a and buffer 32b. Moreover, the source drive circuit 33 consists of shift register 33a, buffer 33b, and an analog switch 39 that performs the sampling of the video line 38.

[0004] The gate bus wiring 116 to which a large number prolonged from said gate drive circuit 32 are parallel is arranged in the TFT array section 34, and from said source drive circuit 33, this gate bus wiring 116 and much source bus wiring 120 cross at right angles, and is arranged. Moreover, it is parallel to this gate bus wiring 116, and the addition capacity common wiring 114 is arranged.

[0005] Furthermore, 35 pixel TFT36 and the addition capacity 37 are arranged in the field of the rectangle surrounded by the gate bus wiring 116 and 116 of two and the source bus wiring 120 and 120 which were mentioned above, and the addition capacity common wiring 114 and 114. At this time, this gate electrode of TFT35 is connected to the gate bus wiring 116, and this source electrode of TFT35 is connected to the source bus wiring 120.

[0006] And liquid crystal is enclosed between the pixel electrode 36 connected to said drain of TFT35, and the counterelectrode formed on the opposite substrate, and the pixel is constituted. Moreover, the addition capacity common wiring 114 is connected to the electrode of the same potential as a counterelectrode at this time.

[0007] Drawing 4 is the top view having shown the configuration for one pixel in the conventional liquid crystal display, and drawing 5 shows the B-B' line sectional view in the liquid crystal display of drawing 4.

[0008] In drawing 4 and drawing 5, on the insulating substrate 110, the polycrystalline silicon thin film 111 used as a barrier layer is formed by the thickness which is 40nm – 80nm, and on it, sputtering or a CVD method is used and it is formed by the thickness whose gate dielectric film 113 is 80nm – 150nm.

[0009] And it is P+ to the addition part by volume (shadow area in drawing 4) which forms addition capacity behind in said polycrystalline silicon thin film 111. The ion implantation was performed by the concentration of 1×10^{15} (cm⁻²), and gate electrode 116a and addition capacity up electrode 114a were formed by carrying out patterning of the polycrystalline silicon to a predetermined configuration.

[0010] Then, in order to determine the conductivity type of this thin film transistor, it is the upper part of said gate electrode 116a to P+. The ion implantation was performed by the concentration of 1×10^{15} (cm⁻²), and the channel 112 was formed in the lower part of this gate electrode 116a.

[0011] Furthermore, SiO₂ Or using SiN_x, formation of contact holes 118 and 119 was performed after forming the 1st interlayer insulation film 115 in the whole substrate surface, and it reached source bus wiring 120, and accumulated, and the electrode 121 was formed using metals of low resistance, such as aluminum.

[0012] And it is SiO₂ like said 1st interlayer insulation film 115. Or using SiN_x, formation of a contact hole 123 was performed after forming the 2nd interlayer insulation film 124 in the whole substrate surface, next this contact hole 123 was covered, and the barrier metal 126 was formed using TiW. The pixel electrode 125 which furthermore covers this barrier metal 126 and consists of transference electric conduction film, such as ITO, was formed. said barrier metal 126 -- minding -- said pixel electrode 125 -- said -- it accumulates and ohmic contact with an electrode 121 is taken.

[0013] In the liquid crystal display by the above configuration, addition capacity common wiring was formed using the same ingredient as gate bus wiring, and it was considering as the configuration which uses the gate dielectric film of the direct lower part as a dielectric so that a big addition capacity might

be obtained in the smallest possible area. That is, since thickness of gate dielectric film is thin and specific inductive capacity is large, it becomes the dielectric which can obtain a big addition capacity with a high numerical aperture.

[0014]

[Problem(s) to be Solved by the Invention] In said conventional liquid crystal display, in order to obtain a big addition capacity, obtaining a high numerical aperture, addition capacity common wiring was formed using the same ingredient as gate bus wiring, and it was considering as the configuration which uses lower gate dielectric film as a dielectric. However, in the conventional liquid crystal display, since addition capacity common wiring was formed with the same ingredient as gate bus wiring, when gate bus wiring was formed with the ingredient of high resistance more electrically than source bus wiring, the problem of the propagation delay of the signal in addition capacity common wiring had occurred.

[0015] The place which it is made in order that this invention may solve such a trouble, and is made into the purpose does not have the problem of the propagation delay of the signal in addition capacity common wiring, and is to offer the liquid crystal display of a high numerical aperture which can use gate dielectric film as a dielectric of addition capacity.

[0016]

[Means for Solving the Problem] As for the liquid crystal display of this invention, a non-single-crystal-silicon thin film, gate dielectric film, and gate bus wiring are formed on a substrate. In the liquid crystal display with which the 1st interlayer insulation film, source bus wiring, 2nd interlayer insulation film, and pixel electrode were formed in the upper part of this gate bus wiring, respectively The addition capacity up electrode formed so that the contact hole established in said 1st interlayer insulation film might be covered with the same ingredient as said source bus wiring, It has the addition capacity lower electrode formed with non-single crystal silicon, addition capacity is formed with said addition capacity up electrode and the addition capacity lower electrode, and the above-mentioned purpose is attained by that.

[0017] Moreover, it is desirable that said 1st interlayer insulation film is formed with an organic material.

[0018] Moreover, it is desirable that said organic material has photosensitivity.

[0019] As for the manufacture approach of the liquid crystal display of this invention, a non-single-crystal-silicon thin film, gate dielectric film, and gate bus wiring are formed on a substrate. In the manufacture approach of a liquid crystal display that the 1st interlayer insulation film, source bus wiring, 2nd interlayer insulation film, and pixel electrode were formed in the upper part of this gate bus wiring, respectively The process formed so that the contact hole in which the addition capacity up electrode was prepared by said 1st interlayer insulation film with the same ingredient as said source bus wiring may be covered, The above-mentioned purpose is attained by being characterized by including the process which forms an addition capacity lower electrode with non-single crystal silicon.

[0020] The process which forms said 1st interlayer insulation film preferably with the organic material which has photosensitivity is included.

[0021] Hereafter, the operation is explained.

[0022] As for the liquid crystal display of this invention, a non-single-crystal-silicon thin film, gate dielectric film, and gate bus wiring are formed on a substrate. In the liquid crystal display with which the 1st interlayer insulation film, source bus wiring, 2nd interlayer insulation film, and pixel electrode were formed in the upper part of this gate bus wiring, respectively The addition capacity up electrode formed so that the contact hole established in said 1st interlayer insulation film might be covered with the same ingredient as said source bus wiring, By having the addition capacity lower electrode formed with non-single crystal silicon, and forming addition capacity with said addition capacity up electrode and an addition capacity lower electrode, an addition capacity up electrode is low resistance, and the problem of the propagation delay of the signal generated in an addition capacity up electrode does not produce it. Moreover, since gate dielectric film is used as a dielectric of addition capacity, the area of the addition part by volume which is a light-shielding film is reducible.

[0023] Moreover, since flattening of the lower field of source bus wiring is fully carried out by forming said 1st interlayer insulation film with an organic material, an open circuit of source bus wiring by the thin film transistor or the level difference of gate bus wiring can be prevented.

[0024] Moreover, by having photosensitivity, formation of the contact hole formed in the 1st interlayer insulation film is attained only according to exposure and a development process, and said organic material can simplify a manufacture process.

[0025] The manufacture approach of the liquid crystal display of this invention an addition capacity up electrode with the same ingredient as said source bus wiring By being characterized by including the process formed so that the contact hole established in said 1st interlayer insulation film may be covered, and the process which forms an addition capacity lower electrode with non-single crystal silicon The problem of the propagation delay of the signal in an addition capacity common electrode can be solved without adding new equipment and a new process to the manufacture approach of the conventional liquid crystal display. Moreover, since gate dielectric film is used as a dielectric of addition capacity, it becomes possible to reduce the area of the addition part by volume which is a light-shielding film, and the numerical aperture of a liquid crystal panel can be improved.

[0026] It becomes possible to perform formation of the contact hole in the 1st interlayer insulation film according to an easy manufacture process using the optical technique of etching needlessness by including the process which forms said 1st interlayer insulation film preferably with the organic material which has photosensitivity. Consequently, the problem of damage on the gate dielectric film by etching does not arise.

[0027]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained.

[0028] Drawing 1 is the top view having shown the configuration for one pixel in the liquid crystal display of the gestalt of operation of this invention, and drawing 2 R> 2 shows the A-A' line sectional view in the liquid crystal display of drawing 1.

[0029] Below, the configuration of the liquid crystal display by the gestalt of this operation is explained.

[0030] In drawing 1 and drawing 2, the polycrystalline silicon thin film 11 is formed on an insulating substrate 10, and gate dielectric film 13 is formed on this polycrystalline silicon thin film 11. On this gate dielectric film 13, gate electrode 16a which consists of aluminum or polycrystalline silicon is prepared. The channel section 12 of a non dope is formed in the lower part of this gate electrode 16a, and fields other than this channel section 12 are high-concentration impurity ranges. Furthermore, these are covered, the 1st interlayer insulation film 15 is formed, through the contact holes 18 and 19 formed in this 1st interlayer insulation film, it reaches source bus wiring 20, and accumulates, and the electrode 21 is electrically connected with said polycrystalline silicon thin film 11, respectively. moreover, the contact hole 23 which the addition capacity up electrode 14 was formed in the wall of a contact hole 28, and the 2nd interlayer insulation film 24 was further formed on these, and was established in this 2nd interlayer insulation film 24 — minding — the pixel electrode 25 — said — it accumulates and connects with the electrode 21. In order to accumulate and to take the ohmic contact of an electrode 21 and the pixel electrode 25, TiW etc. may be used and the barrier metal 26 may be formed.

[0031] The manufacture approach of the liquid crystal display of the above-mentioned configuration is explained to below.

[0032] Drawing 3 (a) - (g) is the flow Fig. showing the manufacture approach of the liquid crystal display of drawing 2.

[0033] In drawing 3 (a), the polycrystalline silicon thin film 11 used as a barrier layer is first formed by the thickness of 40nm - 80nm on the insulating substrate 10 which consists of glass or a quartz, sputtering or a CVD method is used for the upper part of this polycrystalline silicon thin film 11, and it is SiO₂. Or the gate dielectric film 13 which consists of SiN_x was formed by the thickness of 80nm.

[0034] Furthermore, as shown in drawing 3 (b), gate electrode 16a which consists of aluminum or polycrystalline silicon was formed on said gate dielectric film 13. Then, it is P⁺, using this gate electrode

16a as a mask from the upper part of said gate electrode 16a, in order to determine the conductivity type of this thin film transistor. The ion implantation was performed by the concentration of 1×10^{15} (cm^{-2}), the channel section 12 of a non dope was formed in the lower part of this gate electrode 16a of a barrier layer, and the high-concentration impurity range was formed in fields other than this channel section 12. When an addition capacity up electrode is formed with gate electrode 16a and this ingredient, the ion implantation of an addition capacity lower electrode field is not made to channel section 12 formation and coincidence. However, in the gestalt 1 of this operation, low resistance-ization of an addition capacity lower electrode is attained at channel section 12 formation and coincidence. Moreover, in the barrier layer of TFT, it is good also as structure which establishes a low concentration impurity range or a non dope field in said about 12 channel section, and lessens leakage current at the time of OFF of TFT at this time. Then, in this gate dielectric film 13, the contact fields 58 and 59 in which contact holes 18 and 19 are formed behind were formed.

[0035] Next, as shown in drawing 3 (c), all over said substrate, photosensitive acrylic resin was used and the 1st interlayer insulation film 15 was formed by 2.5-micrometer thickness with the spin coat method. Here, flattening of the lower field of this 1st interlayer insulation film 15 was able to be performed by having carried out 2-micrometer or more laminating of said 1st interlayer insulation film 15.

[0036] Then, as shown in drawing 3 (d), exposure and development were performed and contact holes 18 and 19 were formed on said 1st interlayer insulation film 15. Furthermore, in this invention, the contact hole 28 used as the addition capacity formation section was formed. By having used the photosensitive thing as said 1st interlayer insulation film 15, it was not able to etch, but formation of said contact holes 18, 19, and 28 was able to be attained only at exposure and a development process, and the manufacture process was able to be simplified. Since it does not etch, lower gate dielectric film cannot receive damage and dependability can be improved.

[0037] Next, as shown in drawing 3 (e), it reached source bus wiring 20, and accumulated, and the electrode 21 and the addition capacity up electrode 14 were formed using metals of low resistance, such as aluminum. This addition capacity up electrode 14 was formed so that the wall of a contact hole 28 might be covered. Since flattening of the lower field of said source bus wiring 20 is carried out with said 1st interlayer insulation film 15 at this time, also in a part for the intersection of this source bus wiring 20 and the gate bus wiring 16 as shown in said drawing 1, it is lost that this source bus wiring 20 is disconnected with the level difference of this gate bus wiring 16. Here, the photosensitive organic resin ingredient used as said 1st interlayer insulation film 15 has small specific inductive capacity compared with an inorganic material, and since thickness can also be enlarged, the capacity for the intersection of said source bus wiring 20 and said gate bus wiring 16 can be disregarded, and can prevent the propagation delay of the signal generated in bus wiring. Moreover, since aluminum of low resistance is used for said addition capacity up electrode 14 and addition capacity common wiring, the problem of the propagation delay of the signal generated in addition capacity wiring is not produced. Furthermore, since addition capacity is formed in said gate dielectric film 13 of said addition capacity up electrode 14 directly under, a numerical aperture is not reduced.

[0038] Next, as shown in drawing 3 (f), the 2nd interlayer insulation film 24 was formed using photosensitive acrylic resin like said 1st interlayer insulation film 15. Furthermore, as shown in drawing 3 (g), said the 2nd exposure and development of an interlayer insulation film 24 were performed, the contact hole 23 was formed, and the pixel electrode 25 was formed using ITO with the transparence electric conduction film. When [said] it accumulates and the ohmic nature of contact to an electrode 21 and the pixel electrode 25 poses a problem, the barrier metal 26 may be formed in said contact hole 23.

[0039] As mentioned above, in the liquid crystal display and its manufacture approach of this invention, the problem of the propagation delay of the signal in addition capacity common wiring does not arise, but a high numerical aperture can be realized by using gate dielectric film as a dielectric of addition capacity.

[0040]

[Effect of the Invention] According to the liquid crystal display of this invention, a non-single-crystal-silicon thin film, gate dielectric film, and gate bus wiring are formed on a substrate. In the liquid crystal display with which the 1st interlayer insulation film, source bus wiring, 2nd interlayer insulation film, and pixel electrode were formed in the upper part of this gate bus wiring, respectively The addition capacity up electrode formed so that the contact hole established in said 1st interlayer insulation film might be covered with the same ingredient as said source bus wiring, By having the addition capacity lower electrode formed with non-single crystal silicon, and forming addition capacity with said addition capacity up electrode and an addition capacity lower electrode, an addition capacity up electrode is low resistance, and the problem of the propagation delay of the signal generated in an addition capacity up electrode does not produce it. Moreover, since gate dielectric film is used as a dielectric of addition capacity, the area of the addition part by volume which intercepts light is expanded, namely, a numerical aperture is not reduced.

[0041] Moreover, since flattening of the lower field of source bus wiring is fully carried out by forming said 1st interlayer insulation film with an organic material, an open circuit of source bus wiring by the thin film transistor or the level difference of gate bus wiring can be prevented. Thereby, improvement in the yield can be desired.

[0042] Moreover, by having photosensitivity, formation of the contact hole formed in the 1st interlayer insulation film is attained only according to exposure and a development process, and said organic material can simplify a manufacture process.

[0043] The manufacture approach of the liquid crystal display of this invention an addition capacity up electrode with the same ingredient as said source bus wiring By being characterized by including the process formed so that the contact hole established in said 1st interlayer insulation film may be covered, and the process which forms an addition capacity lower electrode with non-single crystal silicon The problem of the propagation delay of the signal in an addition capacity common electrode can be solved without adding new equipment and a new process to the manufacture approach of the conventional liquid crystal display. Moreover, since gate dielectric film is used as a dielectric of addition capacity, it becomes possible to reduce the area of the addition part by volume which is a light-shielding film, and the numerical aperture of a liquid crystal panel can be improved. Consequently, it becomes possible to offer the liquid crystal display which has the outstanding display grace.

[0044] It becomes possible to form the contact hole in the 1st interlayer insulation film by the optical technique of etching needlessness by including the process which forms said 1st interlayer insulation film preferably with the organic material which has photosensitivity. Consequently, since the problem of damage on the gate dielectric film by etching does not arise, it becomes possible to improve dependability.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view having shown the configuration for one pixel in the liquid crystal display of the gestalt of operation of this invention.

[Drawing 2] It is an A-A' line sectional view in the liquid crystal display of drawing 1 .

[Drawing 3] (a) - (g) is the flow Fig. showing the manufacture approach of the liquid crystal display of drawing 2 .

[Drawing 4] It is the top view having shown the configuration for one pixel in the conventional liquid crystal display.

[Drawing 5] The B-B' line sectional view in the liquid crystal display of drawing 4 is shown.

[Drawing 6] It is the circuit diagram showing the configuration of the conventional liquid crystal display in which the circumference drive circuit was formed on the substrate.

[Description of Notations]

- 10 Insulating Substrate
- 11 Polycrystalline Silicon Thin Film
- 12 Channel Section
- 13 Gate Dielectric Film
- 14 Addition Capacity Up Electrode
- 15 1st Interlayer Insulation Film
- 16 Gate Bus Wiring
- 16a Gate electrode
- 18 Contact Hole
- 19 Contact Hole
- 20 Source Bus Wiring
- 21 Accumulate and it is Electrode.
- 23 Contact Hole
- 24 2nd Interlayer Insulation Film
- 25 Pixel Electrode
- 26 Barrier Metal
- 28 Contact Hole
- 31 Substrate
- 32 Gate Drive Circuit
- 32a Shift register
- 32b Buffer
- 33 Source Drive Circuit
- 33a Shift register
- 33b Buffer
- 34 TFT Array Section
- 35 TFT
- 36 Pixel
- 37 Addition Capacity
- 38 Video Line
- 39 Analog Switch
- 58 Contact Field
- 59 Contact Field
- 110 Insulating Substrate
- 111 Polycrystalline Silicon Thin Film
- 112 Channel
- 113 Gate Dielectric Film
- 114 Addition Capacity Common Wiring

114a Addition capacity up electrode
115 1st Interlayer Insulation Film
116 Gate Bus Wiring
116a Gate electrode
118 Contact Hole
119 Contact Hole
120 Source Bus Wiring
121 Accumulate and it is Electrode.
123 Contact Hole
124 2nd Interlayer Insulation Film
125 Pixel Electrode
126 Barrier Metal

[Translation done.]